

一种 TSV 阵列的串扰抑制设计方法

陈思远¹, 范 鑫², 蒋剑飞¹, 王 琴¹

(1 上海交通大学 电子信息与电气工程学院, 上海 200240; 2 上海航天局, 上海 201108)

摘 要: 为了抑制 TSV 阵列中的串扰, 本文建立 TSV 阵列的 RC 模型, 通过在 TSV 阵列中使用一对差分 TSV, 分析差分 TSV 对于串扰的抑制效果, 通过评估阵列中每点的串扰影响大小, 得出优化的设计方法. 文本基于电磁场仿真工具, 建立 TSV 阵列模型, 并完成仿真, 提出 3×3 TSV 中最优的差分 TSV 排布. 本文中的分析及仿真结果表明, 3×3 TSV 阵列使用差分 TSV 比直接使用单端 TSV 的串扰噪声至少降低 4 db, 并通过比较得到了最佳的差分 TSV 排布.

关键词: 三维集成电路; 硅通孔阵列; 差分 TSV; 串扰

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2018)07-0019-04

A Crosstalk Suppression Design Method in TSV Array

CHEN Si-yuan¹, FAN Xing², JIANG Jian-fei¹, WANG Qin¹

(1 School of Electronic Information and Electrical Engineering, Shanghai Jiao Tong University, Shanghai 200240, China;

2 Shanghai Aerospace Administration, Shanghai 201108, China)

Abstract: In order to reduce the crosstalk in TSV Array, this paper builds an RC model of TSV Array, uses a pair of differential TSVs in it, analyzes the crosstalk suppression, estimates the crosstalk influence of each point in the array and gets an optimized design method. 3×3 TSV Array model is built and simulated by electromagnetic field simulation tool, which is used to find optimal differential TSVs arrangement. Analysis and results of research indicate that the crosstalk noise of using differential TSVs will decrease at least 4 db comparing to only using single-ended TSV, and finally get optimal arrangement of differential TSVs.

Key words: 3D integrated circuit; TSV array; differential TSVs; crosstalk

1 引言

近几十年来工艺尺寸的缩小导致了互连延迟的增加, 因此互连方式已成为高性能片上系统(SOC)和集成电路(IC)的主要性能瓶颈. 一种可以缓解互连延迟问题的解决方案是使用带硅通孔(TSV)的三维集成电路^[1]. 垂直集成的 IC 芯片使用 TSV 来提供高密度的连接, 目前 TSV 阵列常用与 FLASH 存储器和 SDRAM 的叠层封装.

然而, 相邻 TSV 所引起的串扰耦合噪声会降低 TSV 的性能, 更重要的是, 它会威胁信号的完整性. 如图 1 所示, 每个 TSV 都会对周围的 TSV 造成耦

合噪声; 由于 TSV 尺寸的影响, 相邻两 TSV 之间的串扰可能是巨大的.

目前在二维设计中已经提出了几种使串扰最小化的技术. 例如文献[2-3]使用了有源屏蔽和数据编码; 另外也有研究提出了用可忽略的面积开销来减小串扰延迟的技术. 然而, 这些技术不能直接应用于三维设计中. 在大多数二维情况下, 耦合导线通常被认为放置在同一平面上, 每根导线最多只受到两根相邻导线的影响; 而在三维情况下, 每个 TSV 被最多八个相邻 TSV 影响, 串扰噪声来自与整个耦合电容网络. 因此, 三维设计中串扰分析与消除变得更加复杂.

在实际的应用场景中,一组 TSV 阵列传输的信号中,通常包含有差分信号,如 DDR 协议中使用差分信号 dqs, dqs_n, clk, clk_n 来保证信号的完整性.在本文中,尝试利用传输中的一对差分 TSV 来降低 TSV 间的串扰噪声.首先,使用 Keysight 的 ADS 电磁场仿真工具建立 3×3 的 TSV 阵列模型来进行建模和仿真.在 3×3 TSV 阵列中不同的 8 种差分 TSV 的排布方式,分析每种排布中各 TSV 受串扰影响的程度,并与实际仿真结果做对比,最终得出 3×3 TSV 阵列中最优的 TSV 排布方式.

2 TSV 阵列 RC 模型

在 TSV 阵列中,一个 TSV 会主要受到四周 TSV 的串扰影响,相比之下更外围的 TSV 影响可以忽略,为便于分析,本文选择 3×3 的结构大小.另外,常用的 TSV 阵列分为九宫格结构和六边形结构.文献[4]详细对比了两种结构的单位面积利用率,由于 3×3 九宫格的利用率更高,故采用此种结构.

对于一组 3×3 的 TSV 阵列,中间的 TSV 受到与四周方向 TSV 形成的 RC 通路的影响,产生传输延迟.文献[5-6]建立了一个 RC 模型,并对邻近的 8 根 TSV 进行分类,当然此模型也可以拓展到更大的 TSV 阵列中使用.

将中心的 TSV 称为 Victim TSV,而来自前后左右四个方向的 TSV(1、3、7、9 号 TSV),与 Victim TSV 之间圆心距相同,将它们归为一类,称为主级 Aggressive TSV;来自顶角的 Aggressive TSV(2、4、6、8 号 TSV),作为次级 TSV.

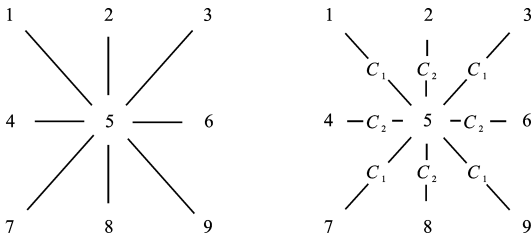


图 1 3×3 TSV 阵列的 RC 模型

下面针对 Victim TSV 的延迟进行定量推导.由于 TSV 与 TSV 之间,TSV 和衬底之间存在 RC 通路,因此会产生串扰.我们用 C_s 表示 TSV 和衬底之间的电容, C_1 表示 Victim TSV 与次级 TSV 之间的电容, C_2 表示 Victim TSV 与主级 TSV 之间的电容.假设 1 号 TSV 到 5 号 TSV 的距离为 $d_{1,5}$,2 号 TSV 到 5 号 TSV 距离 $d_{2,5}$,正常情况下, $d_{1,5} = \sqrt{2} d_{2,5}$.

$$\text{由电容公式: } C = \frac{\epsilon S}{4\pi k d}$$

可知 $C_1 = \frac{\sqrt{2}}{2} C_2$.对整个 TSV 阵列建立关系等

式,据欧姆定理可以得到下面的公式:

$$\begin{aligned} \frac{V_{dd} - V_5(t)}{R} &= C_s \frac{dV_5(t)}{dt} + \\ C_1 \left(\frac{dV_{5,1}}{dt} + \frac{dV_{5,3}}{dt} + \frac{dV_{5,7}}{dt} + \frac{dV_{5,9}}{dt} \right) + \\ C_2 \left(\frac{dV_{5,2}}{dt} + \frac{dV_{5,4}}{dt} + \frac{dV_{5,6}}{dt} + \frac{dV_{5,8}}{dt} \right) \end{aligned}$$

式中, $V_{m,n}$ 表示 m 号 TSV 与 n 号 TSV 之间的电压.当 m 与 n 变化方向相同时,TSV 之间的电容两端电压差为 0,电容相当于断路;当 m 与 n 变化方向相反时,电容两端的电压差最大.从上面的关系式可以得到串扰对 TSV 传输的延迟 τ 为:

$$\begin{aligned} \tau &= -RC_s(1 + \lambda_1(1 - \delta_{5,1}) + \lambda_1(1 - \delta_{5,3}) + \\ &\quad \lambda_1(1 - \delta_{5,7}) + \lambda_1(1 - \delta_{5,9}) + \lambda_2(1 - \delta_{5,2}) + \\ &\quad \lambda_2(1 - \delta_{5,4}) + \lambda_2(1 - \delta_{5,6}) + \lambda_2(1 - \delta_{5,8})) \end{aligned}$$

式中,

$$\lambda_1 = \frac{C_1}{C_s} \quad \lambda_2 = \frac{C_2}{C_s}$$

$$\Delta V_5 = V_5(t^+) - V_5(t^-)$$

$$\Delta V_{5,k} = \Delta V_5 - \Delta V_k$$

$$\delta_{5,k} = \text{sgn}(\Delta V_5) \frac{\Delta V_{5,k}}{V_{dd}}$$

另外参考文献[7],也可以把公式写成如下形式:

$$\tau = k V_{dd} C_{\text{eff}}$$

式中,

$$\begin{aligned} C_{\text{eff}} &= C_s(1 + \lambda_1(4 - \delta_{5,1} - \delta_{5,3} - \delta_{5,7} - \delta_{5,9}) + \\ &\quad \lambda_2(4 - \delta_{5,2} - \delta_{5,4} - \delta_{5,6} - \delta_{5,8})) \end{aligned}$$

由上式可以看出,RC 延迟存在数十种电容组合,与 victim TSV 以及主、次级 Aggressive TSV 的当前传输情况有关.最小的等效电容为 C_s ,这时周围 TSV 和四周 TSV 传输方向相同,延迟电阻仅为 Victim TSV 与衬底之间的电阻.最大的等效电容为 $C_s(1 + 8\lambda_1 + 8\lambda_2)$,此时 Victim TSV 与四周的 TSV 传输方向相反,存在最大的传输延迟,同时也是受串扰影响最大的情况.

3 差分 TSV 阵列的串扰分析

在实际应用中,一组信号中可能包括差分信号,而使用差分 TSV 传输信号会大大降低串扰噪声.本文假设 TSV Array 中有一对差分 TSV 和其他单端信号 TSV,比较差分 TSV 和单端 TSV 之间的串扰

布(c),串扰最小的是 2,最大的是 6. 将受串扰影响程度与第 3 章的理论分析对比,结果基本一致.

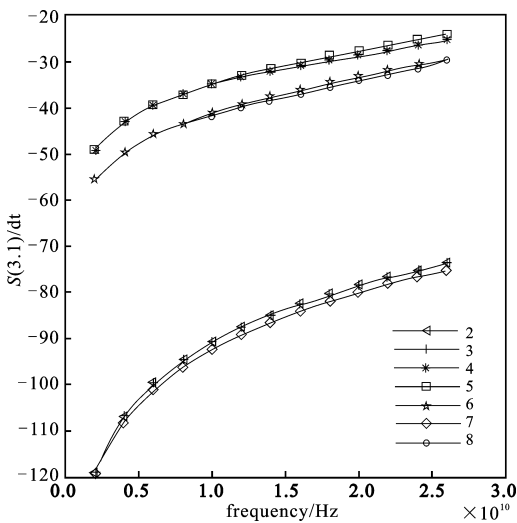


图 5 (b)排布 TSV 阵列中各点串扰

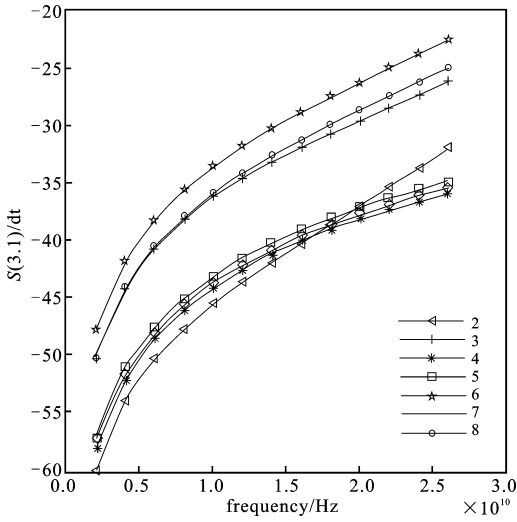


图 6 (c)排布 TSV 阵列中各点串扰

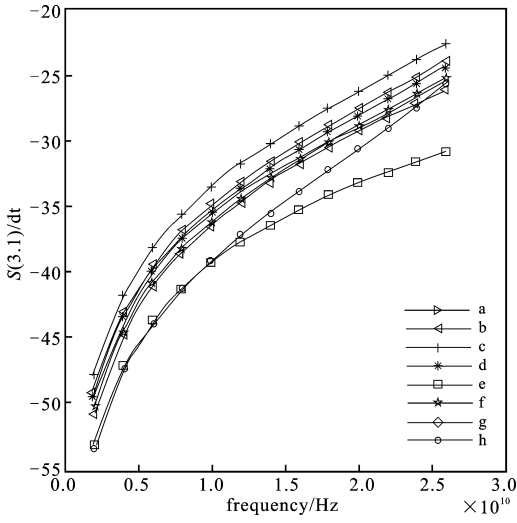


图 7 排布最大串扰比较

图 7 列出了每种排布中受串扰最大点的 S 参数仿真结果,从中可见,第 5 种排布(e)受串扰最大点(7)的 S_{31} 为 $-53.1\text{ dB}(2\text{ GHz}) \sim -30.8\text{ dB}(26\text{ GHz})$,由于其他 7 种排布在同频率下的最大串扰噪声均大于排布(e),故本文认为 3×3 TSV 阵列中最优的差分 TSV 排布方式为排布(e).

5 结束语

本文基于差分 TSV 可以改善 TSV 阵列中的串扰,使用电磁场建模工具建立了带有差分 TSV 的三维串扰噪声模型,在 3×3 TSV 阵列中放置一对差分 TSV. 基于单端 TSV Array 的 RC 串扰分析,分析了 3×3 差分 TSV 阵列中各点串扰的大小,并与实际仿真结果作对比验证,得到了 3×3 TSV 阵列中差分 TSV 的最优排布方式. 本文涉及不同的差分 TSV 排布对串扰的影响,是以往其他研究所没有涉及的. 文中的结论可以应用到更大的 TSV 阵列,通过插入更多的差分 TSV 来满足实际应用.

参考文献:

[1] 朱健. 3D 堆叠技术及 TSV 技术[J]. 固体电子学研究
与进展, 2012, 32 (1) :73-77.

[2] Kaul H, Sylvester D, Blaauw D. Active shields;a new
approach to shielding global wires[C]// ACM Great
Lakes Symposium on Vlsi 2002, New York, DBLP,
2002;112-117.

[3] Subrahmanya P, Manimegalai R, Kamakoti V, et al.
A bus encoding technique for power and cross-talk
minimization[C]// International Conference on Vlsi
Design. Mumbai, India, IEEE Computer Society,
2004;443.

[4] Vaisband B, Friedman E G. Hexagonal TSV bundle
topology for 3D ICs[J]. IEEE Transactions on Cir-
cuits & Systems II Express Briefs, 2016, 64 (1):
11-15.

[5] Zou Q, Niu D, Cao Y, et al. 3DLAT: TSV-based 3D
ICs crosstalk minimization utilizing less adjacent tran-
sition code[C]// Design Automation Conference. San
Francisco, CA, USA ,IEEE, 2014;762-767.

[6] Mirosanlou R, Taram M, Shirmohammadi Z, et al.
3DCAM: a low overhead crosstalk avoidance mecha-
nism for TSV-Based 3D ICs[C]// International Con-
ference on Computer Design. Las Vegas, Nevada,
USA,2015.

法准确有效,弥补了之前逐位故障注入方法的不足.在具体电路抗 SUEs 防护设计流程中,可采用随机故障注入方法快速低成本评测防护能力获得反馈,进行修改完善设计.

参考文献:

[1] Caffrey M, Graham P, Johnson E, et al. Single-Event Upsets in SRAM FPGAs[R]. USA, Washington DC: NASA Office of Logic Desgn, 2002.

[2] 费尔南达·利马·卡斯腾斯密得,路易吉·卡罗,里卡多·赖斯,等. 基于 SRAM 的 FPGA 容错技术[M]. 北京:中国宇航出版社,2009.

[3] 宋凝芳,朱明达,潘雄. SRAM 型 FPGA 单粒子效应试验研究[J]. 宇航学报,2012,33(6):836-842.

[4] 李林,徐宇,卢凌云,等. 基于部分重构的 SRAM 型 FPGA 单粒子翻转模拟[J]. 微电子学与计算机,2015,32(12):95-99.

[5] Johnson E, Caffrey M, Graham P, et al. Accelerator validation of an FPGA SEU simulator[J]. Nuclear Science IEEE Transactions on, 2003, 50(6):2147-2157.

[6] Morgan K S, Mcmurtrey D L, Pratt B H, et al. A comparison of TMR with alternative fault-tolerant design techniques for FPGAs[J]. IEEE Transactions on Nuclear Science, 2007, 54(6):2065-2072.

[7] 朱明达. SRAM 型 FPGA 单粒子翻转故障定位注入研究[J]. 电光与控制,2017,47(8):81-86.

[8] 宋凝芳,秦姣梅,潘雄,等. SRAM 型 FPGA 单粒子效应逐位翻转故障注入方法[J]. 北京航空航天大学学报,2012,38(10):1285-1289.

作者简介:

潘 雄 男,(1978-),博士,副教授. 研究方向为光纤陀螺、单粒子防护.

邓 威(通讯作者) 男,(1993-),硕士研究生. 研究方向为单粒子防护、形式化验证. E-mail:lyfyimeng@outlook.com.

苑政国 男,(1992-),博士研究生. 研究方向为单粒子防护、形式化验证.

李安琪 男,(1956-),讲师,研究方向为光纤陀螺.

王 磊 男,(1994-),硕士研究生. 研究方向为电源完整性.

(上接第 22 页)

[7] Chang Y Y, Huang S C, Narayanan V, et al. Shield-US: A novel design of dynamic shielding for eliminating 3D TSV crosstalk coupling noise[C]// Design Automation Conference. San Francisco, CA, USA, IEEE, 2013:675-680.

作者简介:

陈思远 男,(1993-),硕士研究生. 研究方向为数字电路设计、三维集成电路设计. E-mail:csy62723564@162.com.

蒋剑飞 男,(1979-),博士,助理研究员. 研究方向为高速集成电路设计.

王 琴 女,(1975-),博士,副教授. 研究方向为大规模集成电路设计、先进集成电路设计方法.

范 鑫 女,(1981-),高级工程师. 研究方向为电子系统可靠性.